

(19)



JAPANESE PATENT OFFICE

PATENT ABSTRACTS OF JAPAN

(11) Publication number: **11004595 A**

(43) Date of publication of application: 06 . 01 . 99

(51) Int. Cl.

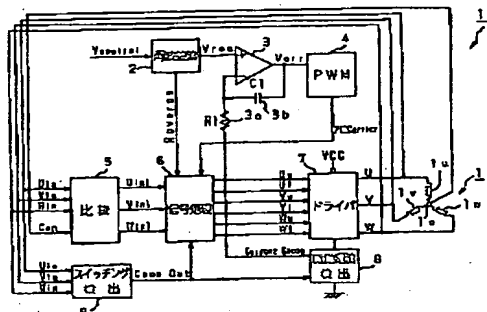
H02P 7/63(21) Application number: **09197469**(22) Date of filing: **23 . 07 . 97**(30) Priority: **14 . 04 . 97 JP 09 96062**(71) Applicant: **SONY CORP**(72) Inventor: **KIKUCHI ATSUSHI**(54) **MOTOR DRIVE EQUIPMENT**

COPYRIGHT: (C)1999,JPO

(57) Abstract:

PROBLEM TO BE SOLVED: To improve the start characteristics of a motor, by supplying a drive current subjected to switching based on PWM(pulse width modulation) signal directly to each phase coil of the motor, and preventing conduction in erroneous phase by improving the counterelectromotive force input by a motor drive equipment for driving this motor.

SOLUTION: A signal processing section 6 detects the rotation position of a rotor based on a counter-electromotive voltage generated and performs rotation control by switching control of the conducting state of the respective phase coils 1U, 1V and 1W. At this time, the signal processing section 6 detects the counter-electromotive force at a timing from a point in time of a transfer of the PWM signal to immediately before one-half period of the PWM signal, thereafter, the counter-electromotive force is detected at the timing of one-half of one duty ratio prescribed by the PWM signal until there is a subsequent transfer of the PWM signal.



(19) 日本国特許庁 (JP) (12) 公開特許公報 (A)

(11) 特許出願番号

特開平11-4595

(43) 公開日 平成11年(1999)1月6日

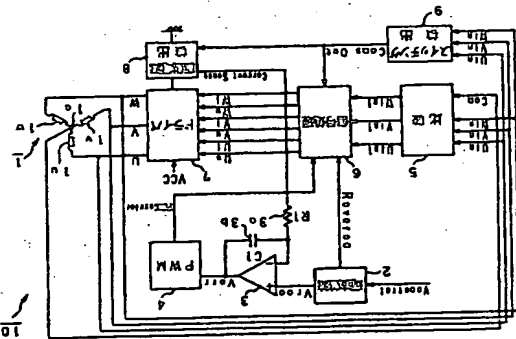
(51) IntCl. ⁷ H02P 7/63	国際記号 302	PI H02P 7/63 302K
特許請求 未請求 請求項の枚数 OL (全 33 頁)		
(21) 出願番号 特西9-187469	(71) 出願人 ソニー株式会社 東京都品川区北品川6丁目7番5号	(72) 発明者 菊池 敏 東京都品川区北品川6丁目7番5号 ソニー株式会社内
(22) 出願日 平成9年(1997)7月23日	(73) 代理人 井野士 小池 晃 (外2名)	
(31) 優先権主張番号 特西9-88082		
(32) 優先日 平成9(1997)4月14日		
(33) 優先権主張国 日本 (JP)		

(54) 発明の名称 モータ駆動装置

(57) 要約

【要約】 PWM信号に基づきスイッチングしたドライブ電流を直接モータの各相コイルに供給して、このモータを駆動するモータの駆動装置で、逆起電圧の取り込みを制御して、逆起電圧の発生を抑制し、モータの駆動特性を改善することを目的とする。

【解決手段】 信号処理部6は、発生する逆起電圧に基づいてロータの回転位置を検出し、各相コイル1U、1V、1Wの逆起電圧を切り取り、PWM信号が切り替わる。このとき、信号処理部6は、PWM信号が切り替わった後、逆起電圧の発生を抑制し、この後PWM信号の切り取りがあるまではPWM信号で逆起電圧の発生を抑制する。



【特許請求の範囲】

【請求項1】 バルス幅変調 (PWM) 信号に基づきスイッチングしたドライブ電流を直接モータの各相コイルに供給して、このモータを駆動するモータの駆動装置において、

モータの回転を制御するモータの回転制御信号に基づいて、PWM信号を生成するPWM信号生成手段と、モータの各相コイルに生じる逆起電圧を検出する逆起電圧検出手段と、

上記逆起電圧を検出するタイミングを制御するタイミングコントロール手段と、

上記逆起電圧検出手段により検出した逆起電圧と上記PWM信号に応じて、各相コイルを駆動するPWMコントロール信号を生成するPWM出力手段と、

上記PWMコントロール信号に基づいてドライブ電流を生成し、上記モータの各相コイルにドライブ電流を供給するドライブ手段とを備え、

上記タイミングコントロール手段は、PWM信号が切り替わった時点からPWM信号の周期の1/2の直前のタイミングで逆起電圧を検出を制御し、PWM信号で規定されたデューティの1/2直前のタイミングで逆起電圧を検出した後PWM信号の切り替えがあるまではPWM信号で規定された1デューティの1/2のタイミングで逆起電圧の検出を制御することを特徴とするモータ駆動装置。

【請求項2】 バルス幅変調 (PWM) 信号に基づきスイッチングしたドライブ電流を直接モータの各相コイルに供給して、このモータを駆動するモータの駆動装置において、

モータの回転を制御するモータの回転制御信号に基づいて、PWM信号を生成するPWM信号生成手段と、

モータの各相コイルに生じる逆起電圧を検出する逆起電圧検出手段と、

上記逆起電圧を検出するタイミングを制御するタイミングコントロール手段と、

上記逆起電圧検出手段により検出した逆起電圧と上記PWM信号に応じて、各相コイルを駆動するPWMコントロール信号を生成するPWM出力手段と、

上記PWMコントロール信号に基づいてドライブ電流を生成し、上記モータの各相コイルにドライブ電流を供給するドライブ手段とを備え、

上記PWM出力手段は、上記逆起電圧検出手段が2回以上連続して同一相コイルの逆起電圧の変化を検出したときに、検出した逆起電圧に応じたPWMコントロール信号を生成することを特徴とするモータ駆動装置。

【請求項3】 バルス幅変調 (PWM) 信号に基づきスイッチングしたドライブ電流を直接モータの各相コイルに供給して、このモータを駆動するモータの駆動装置において、

モータの回転を制御するモータの回転制御信号に基づいて、PWM信号を生成するPWM信号生成手段と、

て、PWM信号を生成するPWM信号生成手段と、モータの各相コイルに生じる逆起電圧を検出する逆起電圧検出手段と、

上記逆起電圧を検出するタイミングを制御するタイミングコントロール手段と、

上記逆起電圧検出手段により検出した逆起電圧と上記PWM信号に応じて、各相コイルを駆動するPWMコントロール信号を生成するPWM出力手段と、

上記PWMコントロール信号に基づいてドライブ電流を生成し、上記モータの各相コイルにドライブ電流を供給するドライブ手段と、

上記逆起電圧検出手段により検出した逆起電圧に基づき、各相コイルに生じる逆起電圧の切り替わりエッジを検出するエッジ検出手段を備え、

上記逆起電圧検出手段は、上記エッジ検出手段により切り替わりエッジが検出されてから一定の切り替わりエッジが検出される直前までの期間に逆起電圧の検出を停止し、それ以外の期間に逆起電圧の検出をすることを特徴とするモータ駆動装置。

【請求項4】 バルス幅変調 (PWM) 信号に基づきスイッチングしたドライブ電流を直接モータの各相コイルに供給して、このモータを駆動するモータの駆動装置において、

モータの回転を制御するモータの回転制御信号に基づいて、PWM信号を生成するPWM信号生成手段と、モータの各相コイルに生じる逆起電圧を検出する逆起電圧検出手段と、

上記逆起電圧を検出するタイミングを制御するタイミングコントロール手段と、

上記逆起電圧検出手段により検出した逆起電圧と上記PWM信号に応じて、各相コイルを駆動するPWMコントロール信号を生成するPWM出力手段と、

上記PWMコントロール信号に基づいてドライブ電流を生成し、上記モータの各相コイルにドライブ電流を供給するドライブ手段とを備え、

上記PWM出力手段は、各相コイルを駆動するPWMコントロール信号を切り替える場合に、その切り替えエッジの前後のPWMコントロール信号のデューティを徐々に変化させることを特徴とするモータ駆動装置。

【請求項5】 バルス幅変調 (PWM) 信号に基づきスイッチングしたドライブ電流を直接モータの各相コイルに供給して、このモータを駆動するモータの駆動装置において、

モータの回転を制御するモータの回転制御信号に基づいて、PWM信号を生成するPWM信号生成手段と、

モータの各相コイルに生じる逆起電圧を検出する逆起電圧検出手段と、

上記逆起電圧を検出するタイミングを制御するタイミングコントロール手段と、

して、各上層トランジスタ521、523、525の各エミッタは、各下層トランジスタ522、524、526の各コレクタに接続されており、この各接続点から各相コイル500U、500V、500Wに供給する駆動電圧を取り出すようになっている。

[0016] このような構成を有するドライバ510は、信号処理部508からの各コントロール信号U、V、W、V₁、V₂、W₁、W₂が、それぞれ各上層、下層トランジスタ521～526のベースに供給される。このため、各上層、下層トランジスタ521～526が、それぞれ各コントロール信号U、V、W、V₁、V₂、W₁、W₂に応じてオンオフ制御され、このオンオフ制御に応じた供給電圧V_Sが各接続点から取り出される。この各接続点から取り出される供給電圧V_Sは、駆動電圧U、V、Wとして3相モータ500の各相コイル500U、500V、500Wにそれぞれ供給される。[0016] なお、各相コイル500U、500V、500Wにそれぞれ供給される供給電圧V_Sの値は、上述のように駆動電圧511で検出される。そして、コンパレータ504において基準電圧V_{ref}と比較され、この比較出力V_{err}に基づいて閉ループ制御的なPWM駆動がなされる。これにより、各相コイル500U、500V、500Wの通電状態を一定に保つことができる。[0017] このように当該センサレスドライバ方式のモータ駆動装置は、各相コイル500U、500V、500Wがそれぞれ発生する逆起電圧によりロータの回転位置を検出してこの各相コイル500U、500V、500Wへの通電状態を切り換え制御することができると、ホール素子等の回転位置検出手段を設けることなく、3相モータ500を回転駆動することができる。

[0018]

[発明が解決しようとする課題] ここで、上述のセンサレス方式のモータ駆動装置において、電圧変換部507を取り除いて3相モータ500を直接PWM駆動（以下、このようにPWM信号を電圧直接に変換せず、直接PWMでスイッチングした電圧をモータの各相のコイルに供給して駆動することをダイレクタPWM駆動といふ。）したとすると、図41(a)～(c)に示すように各相コイル500U、500V、500Wへの電圧をオフするタイミングで各相端子電圧がグラウンドレベルに、また、コモン電圧COMもグラウンドレベルまで落ち込み、このときに逆起電圧の検出が困難となる。特に、ハルス感度駆動を行うため、当該オンオフの幅が狭いこととなり、電圧のオフ時の逆起電圧の検出が困難になる。このため、3相モータ500を駆動すると、ジッタや音響ノイズを顕在化してしまう。

[0019] また、ダイレクタPWM駆動では、逆起電圧を検出する際にフィルタが必要となり、さらに、出力波形にも影響を及ぼし駆動効率が悪くなる。

る。[0020] また、ダイレクタPWM駆動では、逆起電圧検出手段により検出した逆起電圧に基づき、各相コイルに生じる逆起電圧の切り替わりエッジを検出するエッジ検出手段を設けることを特徴とし、上記逆起電圧検出手段が、上記エッジ検出手段により切り替わりエッジが検出されたからつぎの切り替わりエッジが検出される直前までの期間、逆起電圧の検出を停止し、それ以外の期間逆起電圧の検出をし、ドライバ手段が、モータの各相コイルにドライバ電流を供給して、モータをPWM信号に基づいて駆動する。

[0021] 本発明は上述の問題点を鑑みてもなされたものであり、逆起電圧検出手段を有するセンサレス方式におけるPWM駆動を可能とし、また、フィルタ回路を設けることなくキックバックノイズによる駆動作を防止し、さらに、逆起電圧の取り込みを改善して検出した相への過電圧を防止し、モータの駆動特性等を改善することができるとする。[0022] [発明が解決しようとする課題] 上述の問題点を解決するために、本発明に係るモータ駆動装置は、ハルス感度(PWM)信号に基づきスイッチングしたドライバ電流を直接モータの各相コイルに供給して、このモータを駆動するモータの回転制御信号に基づいて、PWM信号を生成するモータの回転制御信号に基づいて、PWM信号を生成するPWM信号生成手段と、モータの各相コイルに生じる逆起電圧を検出する逆起電圧検出手段と、上記逆起電圧検出手段により検出した逆起電圧と上記PWM信号に応じて、各相コイルを駆動するPWMコントロール信号を生成するPWM出力手段と、上記PWMコントロール信号に基づいてドライバ電流を生成し、上記モータの各相コイルにドライバ電流を供給するドライバ手段とを備え、上記タイミングコントロール手段は、PWM信号が切り替わった時点からPWM信号の周期の1/2の直前のタイミングで逆起電圧の検出を制御し、PWM信号で規定されたデューティの1/2の直前のタイミングで逆起電圧を検出した後PWM信号の切り替えがあるまではPWM信号で規定されたデューティの1/2のタイミングで逆起電圧の検出を制御し、ドライバ手段が、モータの各相コイルにドライバ電流を供給して、モータをPWM信号に基づいて駆動する。

[0023] このモータ駆動装置では、上記タイミングコントロール手段は、PWM信号が切り替わった時点からPWM信号の周期の1/2の直前のタイミングで逆起電圧の検出を制御し、PWM信号で規定されたデューティの1/2の直前のタイミングで逆起電圧を検出した後PWM信号の切り替えがあるまではPWM信号で規定されたデューティの1/2のタイミングで逆起電圧の検出を制御し、ドライバ手段が、モータの各相コイルにドライバ電流を供給して、モータをPWM信号に基づいて駆動する。[0024] また、モータ駆動装置10は、3相モータ1の中性点に発生する電圧であるコモン電圧COMを基準として、U相コイル1U、V相コイル1V、W相コイル1Wに生じる各相電圧U_{in}、V_{in}、W_{in}をそれぞれ比較して比較信号U_{in1}、V_{in1}、W_{in1}を生成する比較部5と、PWM信号生成部4からのハルス感度駆動信号(PWM Carrier)、比較部5からの各比較信号U_{in1}、V_{in1}、W_{in1}、Win1及び同相電圧部2からのリバーシ信号(Reverse)に基づいて、ドライバ7を駆動するためのコントロール信号U_u、U_v、U_w、V_u、V_v、V_w、W₁を生成して出力する信号処理部6とを有している。

[0025] また、モータ駆動装置10は、信号処理部6からのコントロール信号U_u、U_v、U_w、V_u、V_v、V_w、W₁に基づいて3相モータ1を駆動するドライバ7と、3相モータ1の駆動電流を電圧のかたちで検出して検出部3a及びコンデンサ3bからなる積分回路を介してコンパレータ3に供給する駆動電圧検出手段8と、ドライバ7が3相モータ1に駆動電流を供給したタイミングを、検出するスイッチング検出手段9とを有している。

[0026] このような構成を有するモータ駆動装置10では、3相モータ1の例えばU相コイル1U及びV相コイル1Vに電流を供給すると、このU相コイル1U及びV相コイル1Vがトルクを発生するように働くため3相モータ1が回転駆動する。このとき、3相モータ1で

級が、PWMのオフ領域でドライバ電流を検出せずオン領域の値を出力し、PWM出力手段が、モータのブレーキモードの際にドライバ電流の駆動電流を反転させる。[0031] [発明の実施の形態] 以下、本発明に係るモータ駆動装置の実施の形態について、図面を参照しながら詳細に説明する。

[0032] 本発明を適用した装置の形態にかかるモータ駆動装置のブロック構成図を図1に示す。[0033] モータ駆動装置10は、いわゆるセンサレス方式のモータ駆動回路であり、特に、PWM信号でスイッチングしたドライバ電流を直接モータの各相コイルに供給するダイレクタPWM駆動をするモータの駆動回路である。このモータ駆動装置10は、3相モータ1の回転サーボ信号(V_{control})を回転駆動し、これを基準電圧V_{ref}として出力するとともに、回転サーボ信号(V_{control})のマイナスイ入力時に3相モータ1に回転ブレーキをかけるためにリバーシ信号(R_{reverse})を出力する同相電圧部2と、基準電圧V_{ref}と後に説明する3相モータ1の駆動電流を検出した駆動電圧検出手段8(Current Sense)を設け3a及びコンデンサ3bで積分処理した値とを比較するコンパレータ3と、コンパレータ3からの比較出力V_{err}に基づいてハルス感度駆動信号(PWM Carrier)を出力するPWM信号生成部4とを有している。

[0034] また、モータ駆動装置10は、3相モータ1の中性点に発生する電圧であるコモン電圧COMを基準として、U相コイル1U、V相コイル1V、W相コイル1Wに生じる各相電圧U_{in}、V_{in}、W_{in}をそれぞれ比較して比較信号U_{in1}、V_{in1}、W_{in1}を生成する比較部5と、PWM信号生成部4からのハルス感度駆動信号(PWM Carrier)、比較部5からの各比較信号U_{in1}、V_{in1}、W_{in1}、Win1及び同相電圧部2からのリバーシ信号(R_{reverse})に基づいて、ドライバ7を駆動するためのコントロール信号U_u、U_v、U_w、V_u、V_v、V_w、W₁を生成して出力する信号処理部6とを有している。

[0035] また、モータ駆動装置10は、信号処理部6からのコントロール信号U_u、U_v、U_w、V_u、V_v、V_w、W₁に基づいて3相モータ1を駆動するドライバ7と、3相モータ1の駆動電流を電圧のかたちで検出して検出部3a及びコンデンサ3bからなる積分回路を介してコンパレータ3に供給する駆動電圧検出手段8と、ドライバ7が3相モータ1に駆動電流を供給したタイミングを、検出するスイッチング検出手段9とを有している。

[0036] このような構成を有するモータ駆動装置10では、3相モータ1の例えばU相コイル1U及びV相コイル1Vに電流を供給すると、このU相コイル1U及びV相コイル1Vがトルクを発生するように働くため3相モータ1が回転駆動する。このとき、3相モータ1で

示すように、第1のU相ノイズマスク回路58と、第1のV相ノイズマスク回路59と、第1のW相ノイズマスク回路60とから構成される。

[0060] 第1のU相ノイズマスク回路58は、比較部5の比較器5aから供給される比較信号Uin1をメーキングクロックの反転信号に同期化させる第1のDフリップフロップ58aと、第1のDフリップフロップ58aの出力をタイミングコントローラ61により生成される出力をタイミングクロックと同期化させる第2のDフリップフロップ58bとを有する。

[0061] また、第1のU相ノイズマスク回路58は、第2のDフリップフロップ58bの入出力間のEX-ORの反転をとるEX-OR反転ゲート58cと、インバータ58dを介したEX-OR反転ゲート58cの出力と後述する第3のDフリップフロップ58hの出力とが供給される第1のANDゲート58eと、EX-OR反転ゲート58cと第2のDフリップフロップ58bの出力が供給される第2のANDゲート58fとを有する。

[0062] また、第1のU相ノイズマスク回路58は、第1と第2のANDゲート58e、58fの出力が供給されるORゲート58gと、このORゲート58gの出力をタイミングクロックと同期化させて比較信号Uin1'を出力する第3のDフリップフロップ58hとを有する。

[0063] 第1のV相ノイズマスク回路59は、比較部5の比較器5bから供給される比較信号Vin1をメーキングクロックの反転信号に同期化させる第1のDフリップフロップ59aと、第1のDフリップフロップ59aの出力をタイミングコントローラ61により生成される出力をタイミングクロックと同期化させる第2のDフリップフロップ59bとを有する。

[0064] また、第1のV相ノイズマスク回路59は、第2のDフリップフロップ59bの入出力間のEX-ORの反転をとるEX-OR反転ゲート59cと、インバータ59dを介したEX-OR反転ゲート59cの出力と後述する第3のDフリップフロップ59hの出力とが供給される第1のANDゲート59eと、EX-OR反転ゲート59cと第2のDフリップフロップ59bの出力が供給される第2のANDゲート59fとを有する。

[0065] また、第1のV相ノイズマスク回路59は、第1と第2のANDゲート59e、59fの出力が供給されるORゲート59gと、このORゲート59gの出力をタイミングクロックと同期化させて比較信号Vin1'を出力する第3のDフリップフロップ59hとを有する。

[0066] 第1のW相ノイズマスク回路60は、比較部5の比較器5cから供給される比較信号Win1をメーキングクロックの反転信号に同期化させる第1のDフリップ

フロップ60aと、第1のDフリップフロップ60aの出力をタイミングコントローラ61により生成されるタイミングクロックに同期化させる第2のDフリップフロップ60bとを有する。

[0067] また、第1のW相ノイズマスク回路60は、第2のDフリップフロップ60bの入出力間のEX-ORの反転をとるEX-OR反転ゲート60cと、インバータ60dを介したEX-OR反転ゲート60cの出力と後述する第3のDフリップフロップ60hの出力とが供給される第1のANDゲート60eと、EX-OR反転ゲート60cと第2のDフリップフロップ60bの出力が供給される第2のANDゲート60fとを有する。

[0068] また、第1のW相ノイズマスク回路60は、第1と第2のANDゲート60e、60fの出力が供給されるORゲート60gと、このORゲート60gの出力をタイミングクロックと同期化させて比較信号Win1'を出力する第3のDフリップフロップ60hとを有する。

[0069] このような構成の第1のノイズマスク回路52は、各第2のDフリップフロップ58b、59b、60bが各比較信号Uin1、Vin1、Win1をメーキングクロック61により生成されたタイミングクロックに同期化される。また、この第1のノイズマスク回路52は、タイミングクロックに同期して2度連続して同一のデータが入力されなければ、第3のDフリップフロップ58h、59h、60hからの出力を更新せず、それ以外は前のデータを保持する。

[0070] この第1のノイズマスク回路52は、U相、V相、W相の各相の第1のノイズマスク回路58、59、60からの出力が供給される比較信号Uin1'、Vin1'、Win1'を第2のノイズマスク回路53に供給する。

[0071] 第2のノイズマスク回路53には、比較信号Uin1'、Vin1'、Win1'とが供給される。また、この第2のノイズマスク回路53には、後述する3フェーズロジック23から出力されるフェーズ出力信号Uuout、Uvout、Uwout、Uuout、Uvout、Uwoutがフィードバックされ供給される。

[0072] この各フェーズ出力信号Uuout、Uvout、Uwout、Uuout、Uvout、Uwoutは、ドライバ7に供給されている3相モータ1の各相コイルを駆動する上層及び下層トランジスタを相の切り換えるタイミング制御するための信号である。フェーズ出力信号Uuoutは、U相コイル用の上層トランジスタを相の切り換えるタイミング制御するための信号であり、フェーズ出力信号Uvoutは、V相コイル用の下層トランジスタを相の切り換えるタイミング制御するための信号である。また、フェーズ出力信号Uwoutは、W相コイル用の上層トランジスタを相の切り換えるタイミング制御するための信号である。また、フェーズ出力信号Uuoutは、W相コイル用の下層トランジスタを相の切り換えるタイミング制御するための信号である。また、フェーズ出力信号Uvoutは、V相コイル用の上層トランジスタを相の切り換えるタイミング制御するための信号である。また、フェーズ出力信号Uwoutは、V相コイル用の下層トランジスタを相の切り換えるタイミング制御するための信号である。また、フェーズ出力信号Uuoutは、V相コイル用の上層トランジスタを相の切り換えるタイミング制御するための信号である。また、フェーズ出力信号Uvoutは、V相コイル用の下層トランジスタを相の切り換えるタイミング制御するための信号である。また、フェーズ出力信号Uwoutは、V相コイル用の上層トランジスタを相の切り換えるタイミング制御するための信号である。また、フェーズ出力信号Uuoutは、V相コイル用の上層トランジスタを相の切り換えるタイミング制御するための信号である。また、フェーズ出力信号Uvoutは、V相コイル用の下層トランジスタを相の切り換えるタイミング制御するための信号である。また、フェーズ出力信号Uwoutは、V相コイル用の上層トランジスタを相の切り換えるタイミング制御するための信号である。また、フェーズ出力信号Uuoutは、V相コイル用の上層トランジスタを相の切り換えるタイミング制御するための信号である。また、フェーズ出力信号Uvoutは、V相コイル用の下層トランジスタを相の切り換えるタイミング制御するための信号である。また、フェーズ出力信号Uwoutは、V相コイル用の上層トランジスタを相の切り換えるタイミング制御するための信号である。また、フェーズ出力信号Uuoutは、V相コイル用の上層トランジスタを相の切り換えるタイミング制御するための信号である。また、フェーズ出力信号Uvoutは、V相コイル用の下層トランジスタを相の切り換えるタイミング制御するための信号である。また、フェーズ出力信号Uwoutは、V相コイル用の上層トランジスタを相の切り換えるタイミング制御するための信号である。また、フェーズ出力信号Uuoutは、V相コイル用の上層トランジスタを相の切り換えるタイミング制御するための信号である。また、フェーズ出力信号Uvoutは、V相コイル用の下層トランジスタを相の切り換えるタイミング制御するための信号である。また、フェーズ出力信号Uwoutは、V相コイル用の上層トランジスタを相の切り換えるタイミング制御するための信号である。また、フェーズ出力信号Uuoutは、V相コイル用の上層トランジスタを相の切り換えるタイミング制御するための信号である。また、フェーズ出力信号Uvoutは、V相コイル用の下層トランジスタを相の切り換えるタイミング制御するための信号である。また、フェーズ出力信号Uwoutは、V相コイル用の上層トランジスタを相の切り換えるタイミング制御するための信号である。また、フェーズ出力信号Uuoutは、V相コイル用の上層トランジスタを相の切り換えるタイミング制御するための信号である。また、フェーズ出力信号Uvoutは、V相コイル用の下層トランジスタを相の切り換えるタイミング制御するための信号である。また、フェーズ出力信号Uwoutは、V相コイル用の上層トランジスタを相の切り換えるタイミング制御するための信号である。また、フェーズ出力信号Uuoutは、V相コイル用の上層トランジスタを相の切り換えるタイミング制御のための

V相コイル用の上層トランジスタを相の切り換えるタイミング制御するための信号であり、フェーズ出力信号Voutは、V相コイル用の下層トランジスタを相の切り換えるタイミング制御するための信号である。また、フェーズ出力信号Wuoutは、W相コイル用の上層トランジスタを相の切り換えるタイミング制御するための信号であり、フェーズ出力信号Wvoutは、W相コイル用の下層トランジスタを相の切り換えるタイミング制御するための信号である。なお、この3フェーズロジック23とこの出力である各フェーズ出力信号Uuout、Uvout、Uwout、Uuout、Uvout、Uwoutは、W相コイル用の上層トランジスタを相の切り換えるタイミング制御するための信号であり、フェーズ出力信号Uuoutは、W相コイル用の下層トランジスタを相の切り換えるタイミング制御するための信号である。また、フェーズ出力信号Wuoutは、W相コイル用の上層トランジスタを相の切り換えるタイミング制御するための信号であり、フェーズ出力信号Wvoutは、W相コイル用の下層トランジスタを相の切り換えるタイミング制御するための信号である。なお、この3フェーズロジック23とこの出力である各フェーズ出力信号Uuout、Uvout、Uwout、Uuout、Uvout、Uwoutは、W相コイル用の上層トランジスタを相の切り換えるタイミング制御するための信号であり、フェーズ出力信号Uuoutは、W相コイル用の下層トランジスタを相の切り換えるタイミング制御するための信号である。また、フェーズ出力信号Wuoutは、W相コイル用の上層トランジスタを相の切り換えるタイミング制御するための信号であり、フェーズ出力信号Wvoutは、W相コイル用の下層トランジスタを相の切り換えるタイミング制御するための信号である。なお、この3フェーズロジック23とこの出力である各フェーズ出力信号Uuout、Uvout、Uwout、Uuout、Uvout、Uwoutは、W相コイル用の上層トランジスタを相の切り換えるタイミング制御するための信号であり、フェーズ出力信号Uuoutは、W相コイル用の下層トランジスタを相の切り換えるタイミング制御するための信号である。また、フェーズ出力信号Wuoutは、W相コイル用の上層トランジスタを相の切り換えるタイミング制御するための信号であり、フェーズ出力信号Wvoutは、W相コイル用の下層トランジスタを相の切り換えるタイミング制御するための信号である。なお、この3フェーズロジック23とこの出力である各フェーズ出力信号Uuout、Uvout、Uwout、Uuout、Uvout、Uwoutは、W相コイル用の上層トランジスタを相の切り換えるタイミング制御するための信号であり、フェーズ出力信号Uuoutは、W相コイル用の下層トランジスタを相の切り換えるタイミング制御するための信号である。また、フェーズ出力信号Wuoutは、W相コイル用の上層トランジスタを相の切り換えるタイミング制御するための信号であり、フェーズ出力信号Wvoutは、W相コイル用の下層トランジスタを相の切り換えるタイミング制御するための信号である。なお、この3フェーズロジック23とこの出力である各フェーズ出力信号Uuout、Uvout、Uwout、Uuout、Uvout、Uwoutは、W相コイル用の上層トランジスタを相の切り換えるタイミング制御のための

信号Uin1'、Vin1'、Win1'とが供給されるORゲート61aと、フェーズ出力信号Uuout、Uvout、Uwout、Uuout、Uvout、Uwoutがフィードバックされ供給されるANDゲート61cとからなる第2のU相ノイズマスク回路61を有する。

[0074] また、第2のノイズマスク回路53は、第1のV相ノイズマスク回路59からの比較信号Vin1'とフェーズ出力信号Uuoutとが供給されるORゲート62aと、フェーズ出力信号Uvoutとが供給されるインバータ62bと、このORゲート62aとインバータ62bの出力が供給され、逆起電力信号Vin2を出力するANDゲート62cとからなる第2のV相ノイズマスク回路62を有する。

[0075] また、第2のノイズマスク回路53は、第1のW相ノイズマスク回路60からの比較信号Win1'とフェーズ出力信号Uuoutとが供給されるORゲート63aと、フェーズ出力信号Uvoutとが供給されるインバータ63bと、このORゲート63aとインバータ63bの出力が供給され、逆起電力信号Win2を出力するANDゲート63cとからなる第2のW相ノイズマスク回路63を有する。

[0076] 第2のU相ノイズマスク回路61は、フェーズ出力信号Uuout、Uvout、Uwout、Uuout、Uvout、Uwoutに、比較信号Uin1'に、3相モータ1のU相コイル1には、ドライバ7に供給されている3相モータ1の各相コイルを駆動する上層及び下層トランジスタを相の切り換えるタイミング制御するための信号である。フェーズ出力信号Uuoutは、U相コイル用の上層トランジスタを相の切り換えるタイミング制御するための信号であり、フェーズ出力信号Uvoutは、V相コイル用の下層トランジスタを相の切り換えるタイミング制御するための信号である。また、フェーズ出力信号Uwoutは、W相コイル用の上層トランジスタを相の切り換えるタイミング制御のための

信号Uin1'、Vin1'、Win1'に、3相モータ1のV相コイル1には、ドライバ7に供給されている3相モータ1の各相コイルを駆動する上層及び下層トランジスタを相の切り換えるタイミング制御するための信号である。フェーズ出力信号Uuoutは、U相コイル用の上層トランジスタを相の切り換えるタイミング制御のための

きには、U相コイル1UからV相コイル1V又はW相コイル1Wにドライバ7電流が供給されているので、このU相コイル1Uの電圧として逆起電力信号Uin2をハイレベルに出力する。

[0078] また、第2のU相ノイズマスク回路61は、フェーズ出力信号Uuout、Uvout、Uwout、Uuout、Uvout、Uwoutに、比較信号Uin1'に、3相モータ1のU相コイル1には、ドライバ7に供給されている3相モータ1の各相コイルを駆動する上層及び下層トランジスタを相の切り換えるタイミング制御のための

[0080] 以上のように、この逆起電力検出ロジック21では、各回路が逆起電力を検出する際のノイズを除去することができる。

[0081] タイミングコントローラ51では、ComOut信号が切り換わったのにタイミングロックを7カウントしてタイミングクロックを発生させるので、PWM信号がオフあるいはオフになつてからすぐの不安定な出力状態で逆起電力を検出せず、安定した状態で逆起電力を検出できる。また、7カウントしたのち、ComOut信号の切り換えがなければ、8カウント毎にタイミングクロックを発生させ、逆起電力を検出する。特に、PWM信号生成部4により発生するPWM信号は、メインクロックの16クロック分のオン領域を0から16クロックまで変位させているので、PWMの1周期で必ず1回は逆起電力を検出できる。例えば、オン領域とオフ領域がそれぞれ1/2ずつ(8クロック)であっても、逆起電力を検出することができる。従って、このタイミングコントローラ51では、安定的に逆起電力を検出させるためのタイミングクロックを生成することができる。

[0082] 第1のノイズマスク回路52では、各EX-ORの反転ゲート58c、59c、60c等により、2回連続して同じ情報が入ってこなければデータを送り、前のデータを保持している。このことにより、例えば図5(b)～(d)に示す比較信号Uin1、Vin1、Win1において生じているキックバックノイズを除去することや、PWMの切り換えにおいて生じる切換ノイズを除去することができる。例えば、図5(e)～(g)に示すような、キックバックノイズを除去した逆起電力信号Uin2、Vin2、Win2を出力できる。

[0083] 第2のノイズマスク回路53では、3フェーズロジック23で生成する3相モータ1の各相コイルの通電パターンをフィードバックさせて、逆起電力が検

る。
[0160] U相マスク生成回路47は、逆起電圧信号

Ures、逆起電圧信号Vres及び第3のインバータ33cにより反転された逆起電圧信号Wresが供給される第1のANDゲート47aと、第1のインバータ33aにより反転された逆起電圧信号Ures、第2のインバータ33bにより反転された逆起電圧信号Vres及び逆起電圧信号Wresが供給される第2のANDゲート47bと、この第1と第2のANDゲート47a、47bの各出力の論理和を出力するORゲート47cとで構成されている。

[0161] そして、第1のANDゲート33dは、U相マスク生成回路47の出力、ラッチ(Latch)信号との論理積を第2のU相マスク信号(Mask2-U)として出力する。また、第2のANDゲート33gは、U相マスク生成回路47の出力と、スローブ信号(Slope)との論理積を第3のU相マスク信号(Mask3-U)として出力する。

[0162] V相マスク生成回路48は、逆起電圧信号Ures、第2のインバータ33bにより反転された逆起電圧信号Vres及び第3のインバータ33cにより反転された逆起電圧信号Wresが供給される第1のANDゲート48aと、第1のインバータ33aにより反転された逆起電圧信号Ures、逆起電圧信号Vres及び逆起電圧信号Wresが供給される第2のANDゲート48bと、この第1と第2のANDゲート48a、48bの各出力の論理和を出力するORゲート48cとで構成されている。

[0163] そして、第3のANDゲート33eは、U相マスク生成回路48の出力、ラッチ(Latch)信号との論理積を第2のV相マスク信号(Mask2-V)として出力する。また、第4のANDゲート33hは、V相マスク生成回路48の出力と、スローブ信号(Slope)との論理積を第3のV相マスク信号(Mask3-V)として出力する。

[0164] W相マスク生成回路49は、第1のインバータにより反転された逆起電圧信号Ures、逆起電圧信号Vres及び第3のインバータ33cにより反転された逆起電圧信号Wresが供給される第1のANDゲート49aと、逆起電圧信号Ures、第2のインバータ33bにより反転された逆起電圧信号Vres及び逆起電圧信号Wresが供給される第2のANDゲート49bと、この第1と第2のANDゲート49a、49bの各出力の論理和を出力するORゲート49cとで構成されている。

[0165] そして、第4のANDゲート33fは、W相マスク生成回路49の出力、ラッチ(Latch)信号との論理積を第2のW相マスク信号(Mask2-W)として出力する。また、第6のANDゲート33iは、W相マスク生成回路49の出力と、スローブ信号

(Slope)との論理積を第3のW相マスク信号(Mask3-W)として出力する。

[0166] このような構成を有するデコード回路33は、各逆起電圧信号Ures、Vres、Wresは、各逆起電圧信号Ures、Vres、Wresで構成される上述の第1～第6の通電パターンに基づいて各相の上層トランジスタ及び下層トランジスタをオンオフ制御する第1～第6のコントロール信号Uu～Wwを生ずる。

[0167] すなわち、デコード回路33に供給される各逆起電圧信号Ures、Vres、Wresが図11

(1)～(k)に示す第1の通電パターン(H、L、H)及び第2の通電パターン(H、L、L)であるとき、デコード回路33はこの順ハイレベルとなる図12(a)に示すような第1のフェーズ出力信号Uuoutが出力される。同じく、デコード回路33に供給される各逆起電圧信号Ures、Vres、Wresが図11(1)～(k)に示す第4の通電パターン(L、H、L)及び第5の通電パターン(L、H、H)であるとき、デコード回路33はこの順ハイレベルとなる図12(p)に示すような第2のフェーズ出力信号Uuoutが出力される。

[0168] また、デコード回路33に供給される各逆起電圧信号Ures、Vres、Wresが図11(1)～(k)に示す第3の通電パターン(H、H、L)及び第4の通電パターン(L、H、L)であるとき、デコード回路33はこの順ハイレベルとなる図12(q)に示すような第3のフェーズ出力信号Vuoutが出力される。同じく、デコード回路33に供給される各逆起電圧信号Ures、Vres、Wresが図11(1)～(k)に示す第1の通電パターン(H、L、H)及び第6の通電パターン(L、L、H)であるとき、デコード回路33はこの順ハイレベルとなる図12(r)に示すような第4のフェーズ出力信号Vloutが出力される。

[0169] また、デコード回路33に供給される各逆起電圧信号Ures、Vres、Wresが図11(1)～(k)に示す第5の通電パターン(L、L、H)及び第6の通電パターン(L、L、H)であるとき、デコード回路33はこの順ハイレベルとなる図12(s)に示すような第5のフェーズ出力信号Wuoutが出力される。同じく、デコード回路33に供給される各逆起電圧信号Ures、Vres、Wresが図11(1)～(k)に示す第2の通電パターン(H、L、L)及び第3の通電パターン(H、H、L)であるとき、デコード回路33はこの順ハイレベルとなる図12(t)に示すような第6のフェーズ出力信号Wloutが出力される。

[0170] このようにして生成された各フェーズ出力信号Uuout～Wloutは、それぞれアクトブットコントロール30に供給される。

[0171] また、デコード回路33は、それぞれ各通電パターンに基づいて、次に逆起電圧信号Ures、Vres、Wresのどのエッジがくるのかを予測し、図13(1)～(n)に示すように、各第2のマスク信号(Mask2-U、Mask2-V、Mask2-W)としてフェーズ生成回路32に供給する。

[0172] エッジマスク生成回路34は、フェーズ生成回路32からの逆起電圧信号Ures、Vres、Wresが供給され、エッジ検出ロジック22に供給するエッジマスク信号(EdgeMask)を生成する。

[0173] 具体的には、エッジマスク生成回路34は、図13に示すように、第1のインバータ34aにより反転された逆起電圧信号Ures、第2のインバータ34bにより反転された逆起電圧信号Vres及び逆起電圧信号Wresが供給される第1のANDゲート34dと、第1のインバータ34aにより反転された逆起電圧信号Ures、逆起電圧信号Vres及び第3のインバータ34cにより反転された逆起電圧信号Wresが供給される第2のANDゲート34eと、逆起電圧信号Ures、第2のインバータ34bにより反転された逆起電圧信号Vres及び第3のインバータ34cにより反転された逆起電圧信号Wresが供給される第3のANDゲート34fと、逆起電圧信号Ures、逆起電圧信号Vres及び逆起電圧信号Wresが供給される第4のANDゲート34gと、これら第1～第4のANDゲート34d～34gの出力の論理和を出力するORゲート34hとを有している。

[0174] この様な構成を有することにより、エッジマスク生成回路34は、図13(u)に示すような逆起電圧信号Ures、Vres、Wresのエッジ部分を抜き信号を生成し、エッジ検出ロジック22に供給する。

[0175] 次に、アクトブットロジック24は、図13に示すように、3フェーズロジック23からのフェーズ出力信号Uuout、Uuout、Vuout、Vuout、Vuout、Vuout、Wlout、Wloutによる上層及び下層トランジスタのコントロールを切り換える反転回路91と、反転回路91を介して供給されるフェーズ出力信号にPWM信号生成部からのパルス幅変調信号(PWM Carrier)を合成してコントロール信号Uu、Uu、Vu、Vu、Wu、Wu、Wlを生成するPWM合成回路92とを有している。

[0176] 3相モータ1の回転数が規定以上に速くなり、例えばサーボ制御系等から供給される回転サーボ信号が、回転数を検出するためにマイナスイタカとなると、図13相モータ1にブレーキをかけるための信号であり、3相モータ1にブレーキをかけるための信号である。

る。このリバーシ信号(Rverse)は、昇降ロジック28を介してこのアクトブットロジック24に供給される。

[0177] 反転回路91には、このリバーシ信号(Rverse)信号と、フェーズ出力信号Uuout、Uuout、Vuout、Vuout、Vuout、Vuout、Wlout、Wlout、Wloutとが供給される。この反転回路91は、リバーシ信号(Rverse)がハイとときには、上層トランジスタと下層トランジスタのコントロール信号の電位論理を入れ替えてPWM合成回路92に出力する。また、リバーシ信号(Rverse)信号がローのときは上層トランジスタと下層トランジスタのコントロール信号はそのままでPWM合成回路92に出力する。

[0178] 具体的には、反転回路91は、図13に示すように、インバータ93cにより反転されたリバーシ信号(Rverse)信号、フェーズ出力信号Uuoutが供給される第1のANDゲート93aと、リバーシ信号(Rverse)信号、フェーズ出力信号Uuoutが供給される第2のANDゲート93bと、この第1と第2のANDゲート93a、93bの論理和をフェーズ出力信号Uuoutとして出力するORゲート93dとを有している。

[0179] また、反転回路91は、リバーシ信号(Rverse)信号、フェーズ出力信号Uuoutが供給される第1のANDゲート94aと、インバータ94cにより反転されたリバーシ信号(Rverse)信号、フェーズ出力信号Uuoutが供給される第2のANDゲート94bと、この第1と第2のANDゲート94a、94bの論理和をフェーズ出力信号Uuoutとして出力するORゲート94dとを有している。

[0180] 反転回路91は、インバータ95cにより反転されたリバーシ信号(Rverse)信号、フェーズ出力信号Vuoutが供給される第1のANDゲート95aと、リバーシ信号(Rverse)信号、フェーズ出力信号Vuoutが供給される第2のANDゲート95bと、この第1と第2のANDゲート95a、95bの論理和をフェーズ出力信号Vuoutとして出力するORゲート95dとを有している。

[0181] また、反転回路91は、リバーシ信号(Rverse)信号、フェーズ出力信号Vuoutが供給される第1のANDゲート96aと、インバータ96cにより反転されたリバーシ信号(Rverse)信号、フェーズ出力信号Vuoutが供給される第2のANDゲート96bと、この第1と第2のANDゲート96a、96bの論理和をフェーズ出力信号Vuoutとして出力するORゲート96dとを有している。

[0182] 反転回路91は、インバータ97cにより反転されたリバーシ信号(Rverse)信号、フェーズ出力信号Wuoutが供給される第1のANDゲート97aと、リバーシ信号(Rverse)信号、フェーズ出力信号Wuout

b, 124b, 125bのコレクタに接続されており、各上層トランジスタ123a, 124a, 125aの各エミッタと、各下層トランジスタ123b, 124b, 125bのコレクタと接続点から3相モータ1の各コイル1U, 1V, 1Wに供給する駆動電圧を取り出すようになっている。

[0205] このような構成を有するドライバ7は、第1から第6のコントロール信号 $U_u, U_l, V_u, V, W_u, W_l$ が供給されると、これに応じて各上層トランジスタ123a, 124a, 125a及び各下層トランジスタ123b, 124b, 125bがそれぞれオンオフ制御される。そして、この各上層トランジスタ123a, 124a, 125a及び各下層トランジスタ123b, 124b, 125bのオンオフ制御に応じた駆動電圧VCCが、各接続点から取り出され、これらが駆動電圧U, V, Wとして図1に示す3相モータ1の各コイル1U, 1V, 1Wにそれぞれ供給される。

[0206] つぎに、駆動電圧出力部8は、図14に示すように、ドライバ7のドライバ電圧が供給される電圧出力部RSと、この電圧出力部RSの両端の電圧を抽出する増幅器131とを有する。また、駆動電圧出力部8は、スイッチング電圧出力部9からのCompOut信号に基づいて、増幅器131の出力電圧をスイッチングするスイッチング素子132と、増幅器131の出力電圧がスイッチング素子132を介して供給される増幅器133とを有する。

[0207] このような構成を有する駆動電圧出力部8では、各コイル1U, 1V, 1Wにそれぞれ供給される駆動電圧が、それぞれ駆動電圧出力部RSにより電圧から抽出され、この電圧出力部RSにより抽出された駆動電圧は、増幅器131で増幅及びバッファリングされた後、スイッチング素子132を介して、低抵抗及びコンデンサからなる分圧器133に供給される。[0208] このとき、電圧出力部RSには、PWM駆動された電圧が図14に示されている。スイッチング素子132は、CompOut信号に基づき分圧器133に供給する電圧をスイッチングしている。つまり、分圧器133には、ドライバ7に供給されるPWM信号がON/NIになっているときに生じる電圧出力部RSの電圧のみが供給される。そして、この分圧器133から、駆動電圧出力電圧(Current Sense)が出力される。

[0209] また、分圧器133は、CompOut信号がオフしたときに、サンプルホールド回路としての機能が発揮され、図14に示す3相モータ1に電流が流れた場合の電圧に近づけるため、所定の時間定数をもって平滑化した電圧の値を徐々に小さくする。

[0210] すなわち、駆動電圧出力部8では、ドライバ7のPWM駆動を行っている3相モータ1に流れる電流を検出するため、ドライバ7がON/NIしているときには通常の電圧出力を行って駆動電圧出力電圧(Current Sense

e) を出力する。そして、OFFしたときには、分圧器133によりサンプリングを行い出力を保持し、ONしているときと同様の値の駆動電圧出力電圧(Current Sense)を出力する。

[0211] このような駆動電圧出力部8を用いることにより、回転サーボ信号が回転数を増やすためにマイナ入力となったときに、上述したアクトプロトコック24において、上層、下層トランジスタの駆動電圧を完全に反転して制御できる。そのため、駆動電圧出力部8では、図15に示すように、従来生じていたモータのトルクの正逆の切り換え時に生じる不連続部分がなくなり、モータトルクのリアリティーを確保することができ、

[0212] また、分圧器133が所定の時間定数をもってサンプルホールドするので、3相モータ1がオフしたときに、徐々に回転を制御することができる。

[0213] 最後に、上述の実装の形態の説明では、モータ駆動装置10は3相モータ1を駆動制御するモータ駆動装置10であるとしたが、これは、例えば2相モータ、4相モータ等、他の種数のモータの回転駆動装置に適用可能である。また、メインクロックは500kHzであり、これを16カウントして各種のタイミン信号を生成する等のように、具体的な数値を掲げて説明したが、これは説明に際して変更可能であり、この他、本発明に係る技術的思想を逸脱しない範囲であれば種々の変更が可能であることは勿論である。

[0214] [発明の効果] 本発明に係るモータ駆動装置では、タイミンコントロール手段が、PWM信号が切り替わった時点からPWM信号の周期の1/2の直前のタイミンで逆起電圧の抽出を制御し、PWM信号で規定されたデューティの1/2直前のタイミンで逆起電圧を抽出した後PWM信号の切り替えがあるまではPWM信号で規定された1デューティの1/2のタイミンで逆起電圧の抽出を制御し、ドライブ手段が、モータの各相コイルにドライブ電圧を供給して、モータをPWM信号に基づいて駆動する。このことにより、逆起電圧を抽出する際のノイズを除去し、モータを安定に駆動することができ、すなわち、PWM信号がオン/オフになってすぐの不安定な出力状態で逆起電圧を抽出せず、安定した状態で逆起電圧を抽出できる。

[0215] また、本発明に係るモータ駆動装置では、2回以上連続して同一相コイルの逆起電圧を抽出したときにPWMコントロール信号を生成することにより、キックバックノイズを除去し、PWMの切り換えにおいて生じる切戻しノイズを除去することができ、モータを安定に駆動できる。

[0216] また、本発明に係るモータ駆動装置では、切り替わりエッジが抽出されてからつぎの切り替わりエッジが抽出される直前まで、逆起電圧の抽出を停止する

ことにより、逆起電圧が抽出できるコイルの逆起電圧のみを抽出することができ、ノイズに影響されずにモータの駆動ができる。

[0217] また、本発明に係るモータ駆動装置では、各相コイルを駆動するPWMコントロール信号を切り替える場合に、その切り替えエッジの前後のPWM信号のレベルをデューティを徐々に変化させることにより、音響ノイズやキックバックノイズを除去することができ、モータを安定に駆動できる。

[0218] また、本発明に係るモータ駆動装置では、PWMのオフ領域でドライブ電圧を抽出せずオン領域の電圧を出力することにより、モータのトルクの正逆の切り換え時に生じる不連続部分がなくなり、モータトルクのリアリティーを確保することができる。

[0219] また、本発明に係るモータ駆動装置では、PWMのオフ領域でドライブ電圧を抽出せずオン領域の電圧を出力し、PWM出力手段が、モータのブレーキモードの際にドライブ電圧の駆動電圧を反転させることにより、モータのトルクの正逆の切り換え時に生じる不連続部分がなくなり、モータトルクのリアリティーを確保することができる。

[図面の簡単な説明]

[図1] 本発明の実装の形態のモータ駆動装置のブロック図である。

[図2] 本発明の実装の形態のモータ駆動装置の通常の駆動時の動作説明をするためのタイムチャートである。

[図3] 本発明の実装の形態のモータ駆動装置の逆起電圧抽出の動作説明をするためのタイムチャートである。

[図4] 本発明の実装の形態のモータ駆動装置の逆起電圧抽出の動作説明をするためのタイムチャートである。

[図5] 本発明の実装の形態のモータ駆動装置の逆起電圧抽出の動作説明をするためのタイムチャートである。

[図6] 本発明の実装の形態のモータ駆動装置の逆起電圧抽出の動作説明をするためのタイムチャートである。

[図7] 本発明の実装の形態のモータ駆動装置の逆起電圧抽出の動作説明をするためのタイムチャートである。

[図8] 本発明の実装の形態のモータ駆動装置の逆起電圧抽出の動作説明をするためのタイムチャートである。

[図9] 本発明の実装の形態のモータ駆動装置の逆起電圧抽出の動作説明をするためのタイムチャートである。

[図10] 本発明の実装の形態のモータ駆動装置の逆起電圧抽出の動作説明をするためのタイムチャートである。

[図11] 本発明の実装の形態のモータ駆動装置の逆起電圧抽出の動作説明をするためのタイムチャートである。

[図12] 本発明の実装の形態のモータ駆動装置の逆起電圧抽出の動作説明をするためのタイムチャートである。

[図13] 本発明の実装の形態のモータ駆動装置の逆起電圧抽出の動作説明をするためのタイムチャートである。

[図14] 本発明の実装の形態のモータ駆動装置の逆起電圧抽出の動作説明をするためのタイムチャートである。

[図15] 上記信号処理部のエッジ検出ロジックのブロック図である。

[図16] 上記エッジ検出ロジックのE-X-OR回路の回路図である。

[図17] 上記エッジ検出ロジックの切替エッジ検出回路の回路図である。

[図18] 上記エッジ検出ロジックのタイムディレイ回路の回路図である。

[図19] 上記エッジ検出ロジックにより生成される信号を説明するためのタイムチャートである。

[図20] 上記信号処理部のスタートロジックの回路図である。

[図21] 上記信号処理部のアングラ生成ロジックの回路図である。

[図22] 上記アングラ生成ロジックにより生成されるアングラ信号(ANGLE)を説明するためのタイムチャートである。

[図23] 上記信号処理部のPLLロジックのブロック図である。

[図24] 上記3フェーズロジックのマスク回路の回路図である。

[図25] 上記3フェーズロジックのフェーズ生成回路の回路図である。

[図26] 上記3フェーズロジックのデコード回路の回路図である。

[図27] 上記3フェーズロジックのエッジマスク生成回路の回路図である。

[図28] 上記信号処理部のアウトプロトコックの反転回路のブロック図である。

[図29] 上記アウトプロトコックの反転回路の回路図である。

[図30] 上記アウトプロトコックのPWM合成回路の回路図である。

[図31] 上記PWM合成回路により合成するPWM信号を説明するためのタイムディレイ回路の回路図である。

[図32] 上記アウトプロトコックの他の回路例を示すPWM合成回路の回路図である。

[図33] 本発明の実装の形態のモータ駆動装置のドライブ回路の回路図である。

[図34] 本発明の実装の形態のモータ駆動装置の駆動電圧出力部の回路図である。

[図35] 本発明の実装の形態のモータ駆動装置の逆起電圧抽出の回路図である。

[図36] 本発明の実装の形態のモータ駆動装置の逆起電圧抽出の回路図である。

[図37] 本発明の実装の形態のモータ駆動装置の逆起電圧抽出の回路図である。

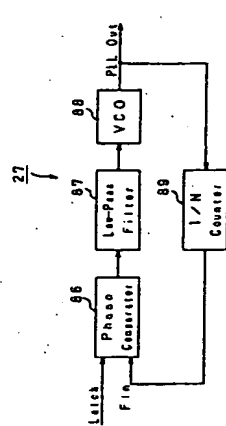
[図38] 本発明の実装の形態のモータ駆動装置の逆起電圧抽出の回路図である。

[図39] 本発明の実装の形態のモータ駆動装置の逆起電圧抽出の回路図である。

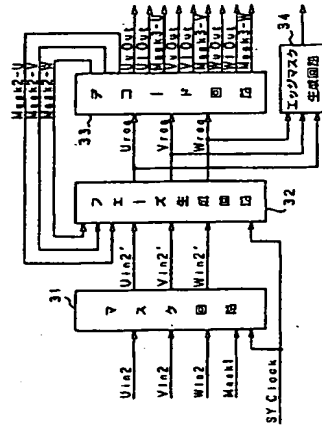
【図2.1】



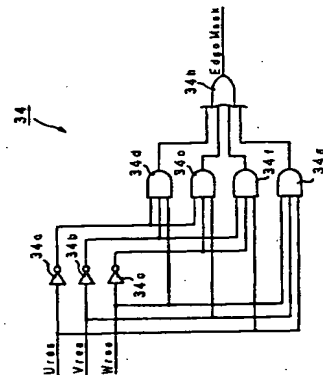
【図2.2】



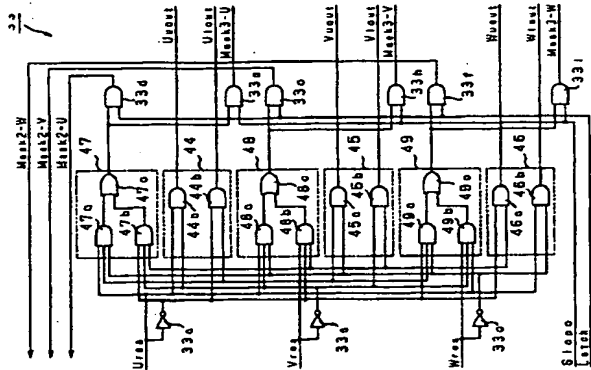
【図2.3】



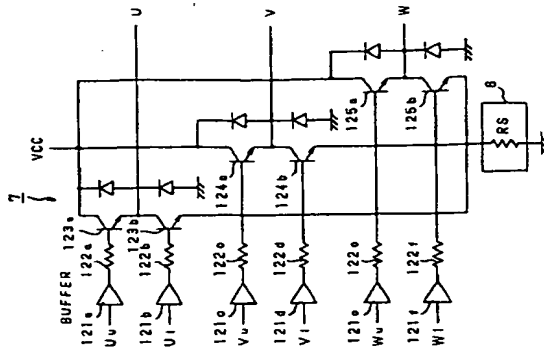
【図2.7】



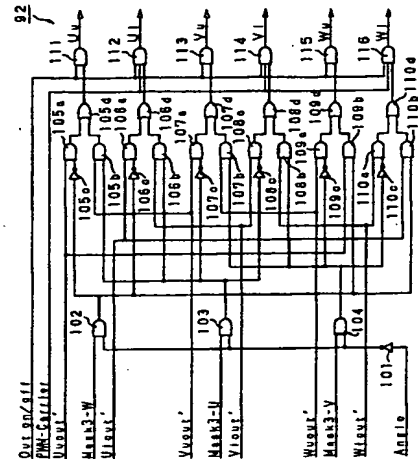
【図3.6】



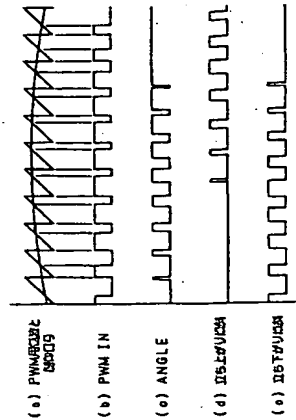
【図3.3】



【図3.0】



【図3.1】



[22.4.1.]

